

**Japanese Patent #52-30390**  
**03-1977**  
**Yashikaza**

**7 pages with cover page**



特許 4

昭和50年9月3日

特許庁長官

発明の名称 半導体集積回路

発明者

氏名 東京電子工業株式会社  
 住所 東京都千代田区丸の内一丁目5番1号  
 代表者 代表取締役 日立製作所 日立研究所内  
 代表者 代表取締役 日立製作所 日立研究所内

特許出願人

氏名 東京都千代田区丸の内一丁目5番1号  
 代表者 代表取締役 日立製作所 日立研究所内  
 代表者 代表取締役 日立製作所 日立研究所内

代理人

氏名 東京都千代田区丸の内一丁目5番1号  
 代表者 代表取締役 日立製作所 日立研究所内  
 代表者 代表取締役 日立製作所 日立研究所内

明 細 書

発明の名称 半導体集積回路

特許請求の範囲

入力端子あるいは出力端子が互に接続され、かつ、相互に独立して動作する複数の同一機能、動作を行きなり回路素子について、相互に接続係を有する各回路素子の不機能は該素子単一機能シロウ内で再帰し、相互に接続係を持たない不機能は該素子が回路素子に於て当該回路素子リコン内で相互に独立して動作したことを明瞭とする半導体集積回路。

発明の詳細な説明

本発明は同一機能を有する複数の回路素子を同一機能素子内に集積化して高集積化を企図した半導体集積回路に関するものである。

電気回路では、同一機能を有する複数の回路素子、例えば、トランジスタ、ダイオード、あるいは抵抗等とその入力端子あるいは出力端子側で互に接続して使用することとがしばしば行われる。図1は、上記使用例の一例を示すタイミ

# ⑬ 日本国特許庁 公開特許公報

①特開昭 52 30390

②公開日 昭52.(1977)3.8

③特願昭 50-105951

④出願日 昭50.(1977)9.3

審査請求 有 (金6頁)

庁内整理番号

7210 57

⑤日本分類

978470

⑥Int.CI?

H01L 27/06

H01L 23/50

の点集回路を示している。

タイミスタ1a、1bはいずれも、P-n-p-n-  
 P-n-p-nの4層構造を取り、P-n-p-nの両端  
 Kゲート端子が設けられている。2は定電流源  
 であり、電流3からの電流をトランジスタ4のベ  
 ース端子に加えられた信号により駆動してタイ  
 ミスタ1a、1bのゲート端子に供給する。タイ  
 ミスタ1a、1bはP-n-p-n構造の、厚のどちらのゲ  
 ート端子に加えられた電圧信号によつて動作する  
 かは、タイミスタ1a、1bのカソード電位による  
 ものであり、この点については、別途説明する。

定電流源2Kを付する定電流化はタイミスタ1  
 aに關しては、図1a、bに示しては、図1a、b  
 4a p トランジスタ10 a、b、c、d、e、f、g、h、i、j、k、l、m、n、o、p、q、r、s、t、u、v、w、x、y、z、aa、ab、ac、ad、ae、af、ag、ah、ai、aj、ak、al、am、an、ao、ap、aq、ar、as、at、au、av、aw、ax、ay、az、ba、bb、bc、bd、be、bf、bg、bh、bi、bj、bk、bl、bm、bn、bo、bp、bq、br、bs、bt、bu、bv、bw、bx、by、bz、ca、cb、cc、cd、ce、cf、cg、ch、ci、cj、ck、cl、cm、cn、co、cp、cq、cr、cs、ct、cu、cv、cw、cx、cy、cz、da、db、dc、dd、de、df、dg、dh、di、dj、dk、dl、dm、dn、do、dp、dq、dr、ds、dt、du、dv、dw、dx、dy、dz、ea、eb、ec、ed、ee、ef、eg、eh、ei、ej、ek、el、em、en、eo、ep、eq、er、es、et、eu、ev、ew、ex、ey、ez、fa、fb、fc、fd、fe、ff、fg、fh、fi、fj、fk、fl、fm、fn、fo、fp、fq、fr、fs、ft、fu、fv、fw、fx、fy、fz、ga、gb、gc、gd、ge、gf、gg、gh、gi、gj、gk、gl、gm、gn、go、gp、gq、gr、gs、gt、gu、gv、gw、gx、gy、gz、ha、hb、hc、hd、he、hf、hg、hh、hi、hj、hk、hl、hm、hn、ho、hp、hq、hr、hs、ht、hu、hv、hw、hx、hy、hz、ia、ib、ic、id、ie、if、ig、ih、ii、ij、ik、il、im、in、io、ip、iq、ir、is、it、iu、iv、iw、ix、iy、iz、ja、jb、jc、jd、je、jf、jg、jh、ji、jj、jk、jl、jm、jn、jo、jp、jq、jr、js、jt、ju、jv、jw、jx、jy、jz、ka、kb、kc、kd、ke、kf、kg、kh、ki、kj、kk、kl、km、kn、ko、kp、kq、kr、ks、kt、ku、kv、kw、kx、ky、kz、la、lb、lc、ld、le、lf、lg、lh、li、lj、lk、ll、lm、ln、lo、lp、lq、lr、ls、lt、lu、lv、lw、lx、ly、lz、ma、mb、mc、md、me、mf、mg、mh、mi、mj、mk、ml、mm、mn、mo、mp、mq、mr、ms、mt、mu、mv、mw、mx、my、mz、na、nb、nc、nd、ne、nf、ng、nh、ni、nj、nk、nl、nm、nn、no、np、nq、nr、ns、nt、nu、nv、nw、nx、ny、nz、oa、ob、oc、od、oe、of、og、oh、oi、oj、ok、ol、om、on、oo、op、oq、or、os、ot、ou、ov、ow、ox、oy、oz、pa、pb、pc、pd、pe、pf、pg、ph、pi、pj、pk、pl、pm、pn、po、pp、pq、pr、ps、pt、pu、pv、pw、px、py、pz、qa、qb、qc、qd、qe、qf、qg、qh、qi、qj、qk、ql、qm、qn、qo、qp、qq、qr、qs、qt、qu、qv、qw、qx、qy、qz、ra、rb、rc、rd、re、rf、rg、rh、ri、rj、rk、rl、rm、rn、ro、rp、rq、rr、rs、rt、ru、rv、rw、rx、ry、rz、sa、sb、sc、sd、se、sf、sg、sh、si、sj、sk、sl、sm、sn、so、sp、sq、sr、ss、st、su、sv、sw、sx、sy、sz、ta、tb、tc、td、te、tf、tg、th、ti、tj、tk、tl、tm、tn、to、tp、tq、tr、ts、tt、tu、tv、tw、tx、ty、tz、ua、ub、uc、ud、ue、uf、ug、uh、ui、uj、uk、ul、um、un、uo、up、uq、ur、us、ut、uu、uv、uw、ux、uy、uz、va、vb、vc、vd、ve、vf、vg、vh、vi、vj、vk、vl、vm、vn、vo、vp、vq、vr、vs、vt、vu、vv、vw、vx、vy、vz、wa、wb、wc、wd、we、wf、wg、wh、wi、wj、wk、wl、wm、wn、wo、wp、wq、wr、ws、wt、wu、wv、ww、wx、wy、wz、xa、xb、xc、xd、xe、xf、xg、xh、xi、xj、xk、xl、xm、xn、xo、xp、xq、xr、xs、xt、xu、xv、xw、xx、xy、xz、ya、yb、yc、yd、ye、yf、yg、yh、yi、yj、yk、yl、ym、yn、yo、yp、yq、yr、ys、yt、yu、yv、yw、yx、yy、yz、za、zb、zc、zd、ze、zf、zg、zh、zi、zj、zk、zl、zm、zn、zo、zp、zq、zr、zs、zt、zu、zv、zw、zx、zy、zz



内面にせんだん面より突起部を有して、  
本面を形成し、層間の界面が平滑化される  
のである。

供給シリコンの大きさ、その半導体シリ  
コン内に形成される回路素子の不純物濃度等より  
大きく設定され、回路素子の表面利用効率（一  
般に表面積と称される）は非常に高い。

實用化すべき回路素子数が多くなると、シリ  
コンはそれだけ大きくなればならない。

面積はシリコンの面積に比例して増加するた  
め、大きな面積のシリコンでは経済的に非常に不利と  
なる。

それゆえ、本発明の目的はシリコン面積を縮小  
し得る改良された半導体製造回路を提供すること  
にある。

また、本発明の他の目的はシリコンを構成する  
供給シリコンの一面に複数の回路素子を集積化  
し、必要供給シリコン数の縮小を要する半導  
体製造回路を提供することにある。

本発明の概要とするとには、人力素子ある

用されている。

これら、相互接続された回路素子について、本  
発明に従って得た半導体製造回路を各回路素子に  
順次説明する。

第3図は第1図および第2図に示すpnpト  
ランジスタ10a、10bの半導体製造回路部分  
を示しており、21はシリコン層で、これは多結晶  
シリコン支持層22、この支持層22中に埋  
込んだ単結晶シリコン領域23、前者および、  
図示していない他の単結晶シリコン領域とを相  
互に絶縁するシリコン酸化膜24から構成さ  
れている。

図1のトランジスタ10a、10bはゲート構造  
を有し、半導体シリコン領域23のp型コレ  
クタ領域25a、25b、n型ベース領域26、同  
様n型ベース電極接触領域27、p型エミタ  
クタ領域28から構成される。

即ち、この例では、p型コレクタ領域28とn  
型ベース領域26、高抵抗n型ベース電極接触  
領域27が共用され、両pnpトランジスタ10a、

10bが互に接続され、相互に接続して  
動作する複数の同一構造、動作を行う回路素  
子について、相互接続関係を有する各回路素子の  
不純物濃度領域を一面的にシリコン内で共用し、  
相互接続関係を持たない不純物濃度領域は回路素  
子数に応じて各回路素子シリコン内に相互に立  
並べて形成することにより、供給シリコン数を  
縮小化し、もって、シリコン面積を低減化するも  
のである。

次に本発明が適用されるところの人力素子ある  
いは出力素子が互に接続され、かつ相互に立並  
して動作する複数の同一構造、動作を行う回路  
素子を第1図のサイリスタ構成回路より引用して  
第2図に示す。

第2図(α)には、エミタおよびベース素子が相  
互に接続されたnpnトランジスタ10c、10d  
が引用されている。第2図(β)では、コレクタ素子  
の各が相互に接続されたnpnトランジスタ11a、  
11bが、また第2図(γ)ではコレクタ素子が相互  
に接続されたダイオード13a、13bがそれぞれ引

用されている。シリコン領域23に形成さ  
れる、供給シリコン領域の面積が図られて  
いる。

両npnトランジスタ10c、10dは公知の  
選択拡散技術により、容易に実現される。  
即ち、シリコン層21を無処理して、供給シリ  
コン酸化膜を形成する。次に、コレクタ領域  
形成により、各p型不純物濃度領域、25a、25  
b、28の部分のシリコン酸化膜を除去し、ボ  
ロンのp型不純物を拡散してこれらp型不純物接  
触領域25a、25b、28を形成する。次に、  
高抵抗n型ベース電極接触領域27の部分のシリ  
コン酸化膜を除去して高抵抗n型不純物を拡散し、  
基底領域を形成する。不純物濃度の制御により、  
内蔵シリコン酸化膜で覆われたシリコン層21の上  
記不純物拡散各領域上のシリコン酸化膜をエミ  
タクタ領域28より除去し、電極接触領域の形成を  
除く、この上にアルミニウム等の導電性材料を蒸  
気成長させて、コレクタ領域25a、25b、28、  
ベース領域26、高抵抗n型ベース電極接触  
領域27が共用され、両npnトランジスタ10c、

る。

図 3 の内では、 $11b$  は第 2 上のシリコン酸化膜およびアモルファスシリコン膜、配線は示していない。

本発明者の発見によれば、 $P$  型コンタクト領域 25a、 $n$  型ベース領域 26、 $P$  型エミッタ領域 28 および  $P$  型コンタクト領域 25b、 $n$  型ベース領域 28、 $P$  型エミッタ領域 28 で構成される 2 層の  $pnp$  トランジスタ 10a、10b は普通のばらつきの範囲において、その電流増幅率は同じ程度であった。また、両コンタクト領域 25a、25b の電位が異なっている、電流増幅率は同程度で、一方のトランジスタのみに電流が片寄って流れることはなかった。

次に図 4 の内では、第 1 層および第 2 層の配線に示す  $pnp$  トランジスタ 11a、11b の電流増幅率は同程度について説明する。

図 2 に示す  $D1$  基板 21 の別の断面図シリコン角領域であり、シリコン酸化膜 31c より熱分解された無結晶シリコン角領域 32c に  $npp$

トランジスタ 11a、11b が形成化される。

図 4 の  $pnp$  トランジスタ 11a、11b に、 $n$  型エミッタ電極領域 33a、 $n$  型コンタクト領域 34a および  $n$  型ベース領域 35a、35b、 $n$  型エミッタ領域 36a、36b より構成される。尚、一方の  $pnp$  トランジスタ 11a は 33a、34a、35a、36a の各領域よりなり、他方の  $pnp$  トランジスタ 11b は 33a、34a、35b、36b の各領域よりなり、 $n$  型コンタクト電極領域 33a、 $n$  型コンタクト領域 34a が共用されている。

図 4 の  $pnp$  トランジスタ 11a、11b は共に独立して、しかも同一構造をもつて動作するものである。

そして、図 4 の  $pnp$  トランジスタ 11a、11b は第 3 層に示した  $pnp$  トランジスタ 10a、10b の製作時に同一工程をもつて製作されるため、内層、外層は増えをい。

次に図 5 の、第 2 層の配線に示した  $pn$  オード 13a、13b の例について図 5 の図より説明する。

$D1$  基板 21 のシリコン酸化膜 31c より熱分解

された無結晶シリコン角領域 32c に  $pn$  オード 13a、13b が共に形成化される。

即ち、43a、43b は  $P$  型アノード領域であり、44a、44b は  $n$  型コンタクト領域および  $n$  型エミッタ領域であり、その両領域 44a、44b が  $pn$  オード 13a、13b に同じ、共用されている。

次に、以上の各配線素子の角領域の配線構造について、図 6 に示す。

図 6 の内において、左側に図 6a、かつ、右側を引いた部分が配線である。そのうち、右側配線領域を示す配線は  $pnp$  トランジスタ 10a、10b については 51、52、 $pnp$  トランジスタ 11a、11b については 53 の  $pn$  オード 13a、13b について 54 であり、他の配線 55、56 は他の各配線素子を持たない領域同士を接続する配線である。そして、各配線素子のそれぞれ領域に配線 51、52、53 が接続する構造について、一点配線に示しているが、接続化を要する。また、 $D1$  基板 21 上面に存在するシリコン

化膜は除去している。

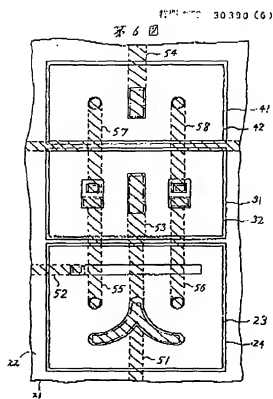
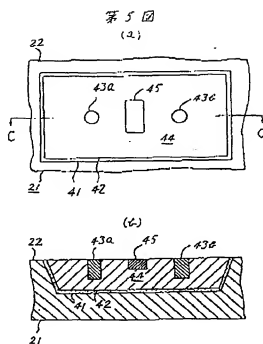
以上、述べたように本発明では、配線部の同一構造を有する配線素子を同一無結晶シリコン角領域内に形成素子を形成する領域を共用して形成化しているため、無結晶シリコン角領域の使用量を削減でき、 $D1$  基板の使用面積を最小化できると共に、配線を形成化できる効率が上がる。

また、本発明は実施例に示したように、 $D2$  の同一配線素子を同一無結晶シリコン角領域に形成化するものに限定されるものでなく、多数の同一配線素子を同一無結晶シリコン角領域内に形成化し得ることは、より一層の効率が期待されるものである。

図面の簡単な説明

第 1 図はシリコンの成長段階図、第 2 図は本発明に従って形成化される第 1 層中の配線素子の接続関係を示す図、第 3 図は (a)、(b) 第 1 層および第 2 層の  $pnp$  トランジスタを本発明に従って形成化した例を示す  $D1$  基板の断面図および  $A-A$  の断面に示した配線断面図、第 4 図は (a)、(b) 第 1 層





## 添付書類の目録

- (1) 書 面 1冊  
 (2) 書 面 1冊  
 (3) 書 面 1冊  
 (4) 特 許 審 判 書 1冊

## 特記以外の発明者、特許出願人または代理人

## 発 明 者

氏 名 氏 名  
 氏 名 氏 名  
 氏 名 氏 名

住 所 住 所  
 住 所 住 所

氏 名 氏 名  
 氏 名 氏 名

改 所 同 上  
 氏 名 氏 名

# **“Emerging Directions for Packaging Technologies”**

**Mahahan, Ravi et al.**

**Intel Technology Journal, Volume  
6, Issue 2, Published, May 6, 2002**

**16 pages with cover page**